

CONDUCTIVITY MODULATION TYPE MOSFET

Patent Number: **JP63224260**

Publication date: **1988-09-19**

Inventor(s): **ITO HIROYASU; others: 02**

Applicant(s): **NIPPON DENSO CO LTD**

Requested Patent: **JP63224260**

Application Number: **JP19870057764 19870312**

Priority Number(s):

IPC Classification: **H01L29/78 ; H01L29/68**

EC Classification:

Equivalents: **JP2590863B2**

Abstract

PURPOSE: To reduce voltage drop and prevent latchup, by applying a longitudinal structure to a source region and a channel region.

CONSTITUTION: Two kinds of trenches are formed on the surface of a conductivity modulation type MOSFET which has a second conductivity type semiconductor layer 12 of low impurity concentration, a first conductivity type base layer 13 and a second conductivity type source layer 14 on a first conductivity type substrate 11. A gate electrode 18 is buried in one trench 15 via an insulator 17, and a source electrode 19 is buried in the other trench 16. The gate electrode 18, the gate insulator 17, a channel region 25 and the source electrode 19 are formed in the direction perpendicular to the surface. Therefore, a positive hole current by conductivity modulation flows linearly between the gate electrode 18 and the source electrode 19 formed in the direction perpendicular to the surface, so that the voltage drop can be reduced.

Data supplied from the esp@cenet database - I2

(ハ) 上記各実施例においてはソース電極（電子電流型MOSFET）での電圧降下 V_{DS} によりソースとベース間に印加された電圧降下は両者の差（＝ V_{DS} ）で、即ち相殺された後、上記第3実施例のMOSFETよりも更にラッシュアップ現象の発生を防止することができる。すなはち、この実施例では、全ソース層14よりも低不純物濃度である出層部17を形成した。そして、ソース層14内における電圧降下19の周辺部には、ソース層14よりも低不純物濃度である出層部17が形成された。そこで、ソース層14及び低濃度部17が逆張りで形成されている。このため、ソース層14及び低濃度部17が逆張りで形成された領域全体の抵抗が大きくなる。一方、ベース層13内におけるソース電極19の周辺部には、ベース層13よりも高不純物濃度である低濃度ベース層21が形成されている。そのため、ベース層13及び低濃度ベース層21が逆張りで形成された領域全体の抵抗が小さくなる。この結果、ソース層14及び低濃度部17が逆張りで形成された領域全体の抵抗の差と、前述ベース層13及び低濃度ベース層21の抵抗との電流差を小さくすることができ、ラッシュアップ現象の発生を抑制することができる。

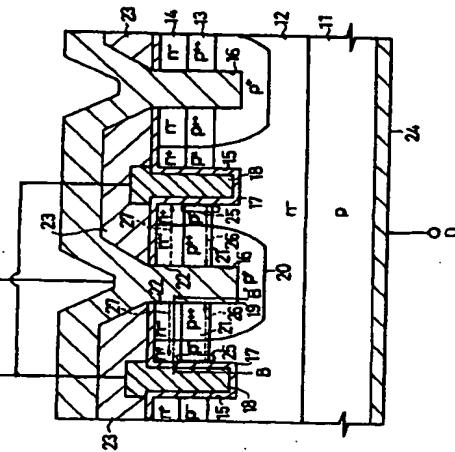
(ロ) 第5図(5-3)のように、ローベース層13の中に単結晶導電部28(例えば、MOSFET)をエピタキシャル成長させた後に同導電部28を埋め込む。そして、この導電部28とソース電極19を接続させる。よって、ローベース層13の下のp+ベース層13の電気抵抗を低減させることにより電圧降下 V_{DS} を小さくし、ラッシュアップの発生を防止することができる。

(ハ) 上記各実施例においてはソース電極（電子電流型MOSFET）での電圧降下 V_{DS} によりソースとベース間に印加された電圧降下は両者の差（＝ V_{DS} ）で、即ち相殺された後、上記第3実施例のMOSFETよりも更にラッシュアップ現象の発生を防止することができる。すなはち、この実施例では、全ソース層14よりも低不純物濃度である出層部17を形成した。そこで、ソース層14及び低濃度部17が逆張りで形成されている。このため、ソース層14及び低濃度部17が逆張りで形成された領域全体の抵抗が大きくなる。一方、ベース層13内におけるソース電極19の周辺部には、ベース層13よりも高不純物濃度である低濃度ベース層21が形成されている。そのため、ベース層13及び低濃度ベース層21が逆張りで形成された領域全体の抵抗が小さくなる。この結果、ソース層14及び低濃度部17が逆張りで形成された領域全体の抵抗の差と、前述ベース層13及び低濃度ベース層21の抵抗との電流差を小さくすることができ、ラッシュアップ現象の発生を抑制することができる。

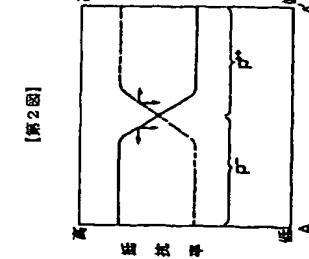
【図面の簡単な説明】

第1図はこの発明を具体化した導電型MOSFETの断面図。第2図は第1図におけるA-A'断面における不純物濃度及び抵抗率を示す図。第3図は別例の導電型MOSFETの断面図。第4図は第3図におけるB-B'断面における不純物濃度及び抵抗率を示す図。第5図は他の別例における不純物濃度及び抵抗率を示す図。第6図は從来の導電型MOSFETの断面図。第7図は從来の導電型MOSFETの断面図である。

【図3図】



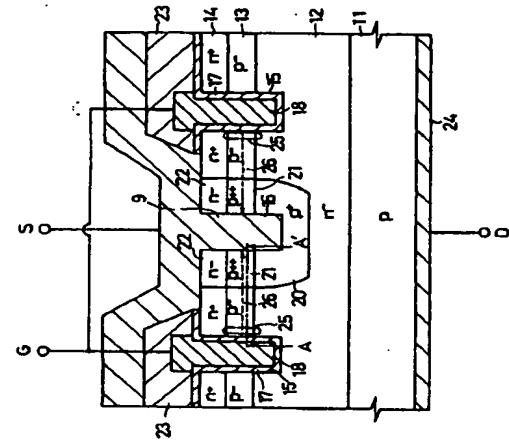
【第3図】



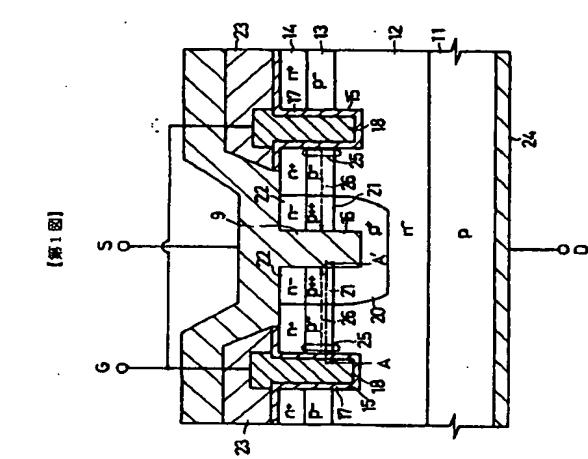
【第4図】

【図1図】

【第1図】

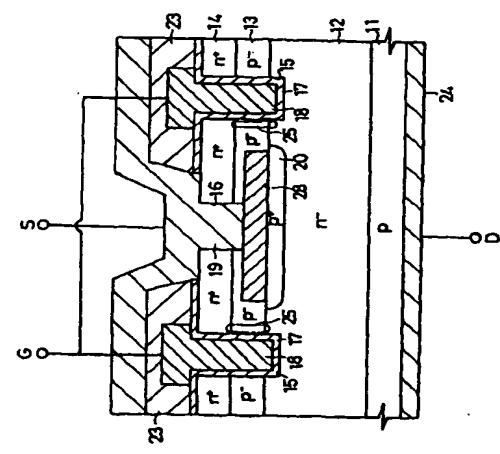


【第1図】



【第2図】

[第5図]



[第6図]

